

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Oh et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **INTEGRATED CIRCUIT DEVICES INCLUDING A MIM CAPACITOR**

September 8, 2003

Mail Stop PATENT APPLICATION
Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the following Korean priority application:

2002-0078905, filed December 11, 2002.

Respectfully submitted,



Robert W. Glatz
Registration No. 36,811

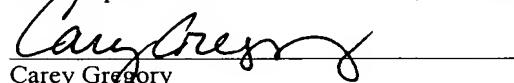
Myers Bigel Sibley & Sajovec, P.A.
P. O. Box 37428
Raleigh, North Carolina 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401
Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 318420412 US

Date of Deposit: September 8, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to:
Mail Stop PATENT APPLICATION, Commissioner for Patents, PO Box 1450, Alexandria, VA 22313-1450.


Carey Gregory

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

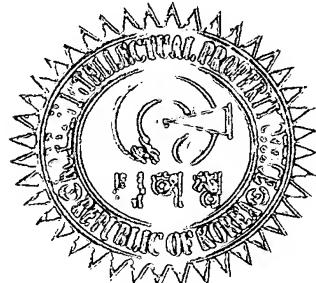
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0078905
Application Number

출원년월일 : 2002년 12월 11일
Date of Application

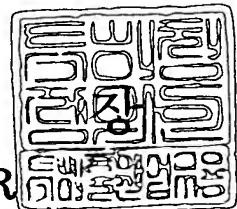
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 25 일

특허청

COMMISSIONER



【서지사항】

| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0020 |
| 【제출일자】 | 2002.12.11 |
| 【국제특허분류】 | H01L |
| 【발명의 명칭】 | MIM (Metal-Insulator-Metal) 커패시터를 갖는 반도체 소자 |
| 【발명의 영문명칭】 | Semiconductor device having MIM capacitor |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 이영필 |
| 【대리인코드】 | 9-1998-000334-6 |
| 【포괄위임등록번호】 | 1999-009556-9 |
| 【대리인】 | |
| 【성명】 | 정상빈 |
| 【대리인코드】 | 9-1998-000541-1 |
| 【포괄위임등록번호】 | 1999-009617-5 |
| 【발명자】 | |
| 【성명의 국문표기】 | 오병준 |
| 【성명의 영문표기】 | OH,Byung Jun |
| 【주민등록번호】 | 740310-1117316 |
| 【우편번호】 | 449-901 |
| 【주소】 | 경기도 용인시 기흥읍 농서리 산 7-1 성현관 마로니에동 1401호 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 이경태 |
| 【성명의 영문표기】 | LEE,Kyung Tae |
| 【주민등록번호】 | 650127-1019413 |

| | | | |
|------------|---|---|-----------|
| 【우편번호】 | 427-040 | | |
| 【주소】 | 경기도 과천시 별양동 주공아파트 409-1203 | | |
| 【국적】 | KR | | |
| 【발명자】 | | | |
| 【성명의 국문표기】 | 정무경 | | |
| 【성명의 영문표기】 | JUNG, Mu Kyeng | | |
| 【주민등록번호】 | 710507-1845811 | | |
| 【우편번호】 | 442-470 | | |
| 【주소】 | 경기도 수원시 팔달구 영통동 청명마을4단지아파트 405-1102 | | |
| 【국적】 | KR | | |
| 【심사청구】 | 청구 | | |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인) | | |
| 【수수료】 | | | |
| 【기본출원료】 | 20 | 면 | 29,000 원 |
| 【가산출원료】 | 17 | 면 | 17,000 원 |
| 【우선권주장료】 | 0 | 건 | 0 원 |
| 【심사청구료】 | 24 | 항 | 877,000 원 |
| 【합계】 | 923,000 원 | | |
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 | | |

【요약서】**【요약】**

MIM 커패시터를 갖는 반도체 소자를 제공한다. 본 발명은 반도체 기판 상에 형성되고 하부 전극 및 유전체막 및 상부 전극으로 구성된 MIM 커패시터를 포함한다. 상기 MIM 커패시터의 상부 전극 및 하부 전극 상에는 상기 MIM 커패시터의 상부 전극 상에 제1 비아홀을 갖는 제1 층간 절연막 및 제2 비아홀을 갖는 제2 층간 절연막이 형성되어 있다. 상기 제2 층간 절연막 상에서 제1 비아홀 및 제2 비아홀을 통하여 상기 상부 전극과 연결되는 배선층이 형성되어 MIM 커패시터의 하부 전극과 배선층간의 수직거리를 크게 한다. 이렇게 본 발명의 반도체 소자는 배선방법을 변경함으로써 기생 커패시터의 영향을 최소화하여 안정된 MIM 커패시터 특성을 갖는다.

【대표도】

도 3

【명세서】

【발명의 명칭】

MIM(Metal-Insulator-Metal) 커패시터를 갖는 반도체 소자
 {Semiconductor device having MIM capacitor}

【도면의 간단한 설명】

도 1은 종래 기술에 의하여 형성된 MIM 커패시터를 갖는 반도체 소자의 단면도이다

도 2는 일반적인 MIM 커패시터를 갖는 반도체 소자에서 절연막 두께에 따른 기생 커패시턴스의 시뮬레이션값을 도시한 그래프이다.

도 3은 본 발명에 의해 MIM 커패시터를 갖는 반도체 소자를 설명하기 위하여 도시한 단면도이다.

도 4 내지 도 10은 도 3에 도시한 본 발명의 MIM 커패시터를 갖는 반도체 소자의 제조방법을 설명하기 위하여 도시한 단면도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<5> 본 발명은 반도체 소자에 관한 것으로, 보다 상세하게는 MIM(Metal-Insulator-Metal) 커패시터를 갖는 반도체 소자에 관한 것이다.

<6> 일반적으로, 반도체 소자의 집적도가 높아짐에 따라 종래의 MIS(Metal-Insulator-Semiconductor) 커패시터는 유전체막과 실리콘막 사이에 저유전체

막이 형성되어 원하는 커패시턴스(capacitance)를 얻을 수 없게 되었다. 이에 따라, 상기 MIS 커패시터를 대체할 수 있는 MIM(Metal-Insulator-Metal) 커패시터를 도입하게 되었다.

<7> 도 1은 종래 기술에 의하여 형성된 MIM 커패시터를 갖는 반도체 소자의 단면도이다.

<8> 구체적으로, 반도체 기판(11) 상에 게이트(13), 소오스(15) 및 드레인(17a, 17b)을 포함하는 트랜지스터가 형성되어 있다. 상기 트랜지스터의 제1 드레인(17a)은 도전체 패턴(19)을 통하여 MIM 커패시터의 하부 전극(21)이 연결된다. 상기 MIM 커패시터의 하부 전극(21) 상에는 MIM 커패시터의 유전체막(23) 및 MIM 커패시터의 상부 전극(25)이 형성되어 있다. 상기 하부 전극(21) 및 상부 전극(25)은 금속막으로 형성된다. 상기 MIM 커패시터의 상부 전극(25) 상에는 배선층(27)이 연결되어 있다. 상기 트랜지스터의 제2 드레인(17b)은 도전체 패턴(19) 및 배선층(29, 31)을 통하여 상부 배선층(33)과 연결된다. 도 1에서, 참조번호 35, 45, 55, 65는 절연막을 나타낸다.

<9> 그런데, 상기 도 1에 도시한 종래의 반도체 소자는 MIM 커패시터의 하부 전극(21)과 MIM 커패시터의 상부 전극(25)을 연결하는 배선층(27)간의 거리가 충분치 않아 기생 커패시터가 과도하게 형성된다. 이렇게 형성된 기생 커패시터는 상기 MIM 커패시터에 큰 영향을 주게 된다.

<10> 더하여, 상기 기생 커패시터에 의한 MIM 커패시터 영향은 MIM 커패시터가 형성되는 부분과 그 이외의 부분간의 단차를 감소시키기 위하여 절연막의 두께를 낮

추는 경우에는 더욱더 심각한 문제를 발생시킨다. 이와 관련하여 절연막의 두께에 따른 기생 커패시턴스의 영향을 시뮬레이션 한 결과를 도 2에 도시한다. 도 2에 보시는 바와 같이 기생 커패시턴스는 절연막의 두께가 얇을수록 급격히 증가함을 알 수 있다.

<11> 결과적으로, 도 1에 도시한 종래 기술에 의해 제조된 반도체 소자에 있어서, 상기 하부 전극(21)과 상부 전극(25)에 연결된 배선층(27) 사이에 형성된 기생 커패시터의 영향으로 인해 안정적인 MIM 커패시터의 특성을 얻기가 어렵다. 더하여, 상기 기생 커패시턴스는 제조공정상의 변수들로 인해 많이 변화하므로 더더욱 안정적인 MIM 커패시터 특성을 얻기가 매우 어렵다.

【발명이 이루고자 하는 기술적 과제】

<12> 따라서, 본 발명이 이루고자 하는 기술적 과제는 상술한 문제점을 해결하여 기생 커패시턴스로 인한 영향을 억제하여 안정된 특성의 MIM 커패시터를 갖는 반도체 소자를 제공하는 데 있다.

【발명의 구성 및 작용】

<13> 상기 기술적 과제를 달성하기 위하여, 본 발명의 일 예에 의한 반도체 소자는 반도체 기판 상에 형성되고 하부 전극, 유전체막 및 상부 전극으로 구성된 MIM 커패시터를 포함한다. 상기 MIM 커패시터의 상기 상부 전극 및 상기 하부 전극 상에 형성되고, 상기 MIM 커패시터의 상기 상부 전극 상에 제1 비아홀을 갖는 제1 층간 절연막이 마련된다. 상기 제1 비아홀 내에 랜딩 패드형 독립 배선층이 형성되어 있다. 상기 MIM 커패시터 상부의 상기 랜딩 패드형 독립 배선층을 노출하는 제2 비아홀을 갖는 제2 층간 절연막이

형성되어 있다. 상기 제2 비아홀 내에 상기 랜딩 패드형 독립 배선층을 통하여 상기 MIM 커패시터의 상기 상부 전극과 연결되는 배선층이 형성되어 있다.

<14> 상기 MIM 커패시터의 상기 하부 전극은 상기 반도체 기판 상에 형성된 드레인과 접촉되어 있을 수 있다. 상기 상부 전극은 상기 하부 전극을 완전히 감싸는 형태로 형성될 수 있다.

<15> 상기 상부 전극 하부에 형성된 상기 유전체막의 두께가 상기 상부 전극이 형성된 영역 이외에 형성된 상기 유전체막의 두께보다 두꺼울 수 있다. 상기 상부 전극 상에는 산화막, 질화막, FSG막, OSG막, 및 SiC막 중의 어느 하나의 막 또는 이들의 복합막으로 형성된 절연막 패턴이 형성되어 있을 수 있다. 상기 절연막 패턴은 상기 상부 전극이 형성된 영역 이외의 부분에는 형성되어 있지 않을 수 있다.

<16> 상기 제1 층간 절연막은 상기 제1 비아홀보다 크고 상기 제1 비아홀보다 낮은 깊이로 형성된 트렌치를 추가로 구비할 수 있다. 상기 제2 층간 절연막은 상기 제2 비아홀보다 크고 상기 제2 비아홀보다 낮은 깊이로 형성된 트렌치를 추가로 구비할 수 있다.

<17> 상기 랜딩패드형 독립 배선층은 상기 제1 층간 절연막과 동일한 높이로 형성될 수 있다. 상기 랜딩 패드형 독립 배선층은 서로 독립된 복수개의 배선으로 형성될 수 있다. 상기 랜딩패드형 독립 배선층의 상부 폭이 하부 폭보다 더 큰 것이 바람직하다.

<18> 상기 MIM 커패시터의 상부 전극과 연결되는 상기 배선층은 상기 제2 층간 절연막과 동일한 높이로 형성될 수 있다.

<19> 본 발명의 다른 예에 의한 반도체 소자는 반도체 기판 상에 형성되고 상기 반도체 기판 상에 형성된 불순물 영역과 접촉하는 MIM 커패시터의 하부 전극을 포함한다. 상기

하부 전극 상에 유전체막이 형성되어 있고, 상기 유전체막 상에 MIM 커패시터의 상부 전극이 형성되어 있다. 상기 MIM 커패시터의 상부 전극 상에 절연막 패턴이 형성되어 있다. 상기 절연막 패턴 상에 상기 MIM 커패시터의 상기 상부 전극 상에 제1 비아홀을 갖는 제1 층간 절연막이 형성되어 있다. 상기 제1 비아홀 내에 형성된 랜딩 패드형 독립 배선층이 형성되어 있다. 상기 MIM 커패시터 상부의 상기 랜딩 패드형 독립 배선층을 노출하는 제2 비아홀을 갖는 제2 층간 절연막이 형성되어 있다. 상기 제2 비아홀 내에 상기 랜딩 패드형 독립 배선층을 통하여 상기 MIM 커패시터의 상기 상부 전극과 연결되는 배선층이 형성되어 있다.

<20> 상기 MIM 커패시터의 상부 전극 하부에 형성된 상기 유전체막의 두께가 상기 상부 전극이 형성된 영역 이외에 형성된 상기 유전체막의 두께보다 두꺼울 수 있다. 상기 상부 전극은 상기 하부 전극을 완전히 감싸는 형태로 형성될 수 있다.

<21> 상기 상부 전극 상에는 산화막, 질화막, FSG막, OSG막, 및 SiC막 중의 어느 하나의 막 또는 이들의 복합막으로 형성된 절연막 패턴이 형성되어 있을 수 있다. 상기 랜딩 패드형 독립 배선층은 서로 독립된 복수개의 배선으로 형성될 수 있다.

<22> 본 발명의 또 다른 예에 의한 반도체 소자는 반도체 기판 상에 형성되고 상기 반도체 기판 상에 형성된 불순물 영역과 접촉하는 MIM 커패시터의 하부 전극을 포함한다. 상기 하부 전극을 포함한 상기 반도체 기판 상에 형성되고 상기 하부 전극 상에 형성된 두께가 그 이외의 지역에 형성된 두께보다 두껍게 형성된 유전체막을 구비한다. 상기 유전체막이 두꺼운 영역에 MIM 커패시터의 상부 전극이 형성되어 있다. 상기 MIM 커패시터의 상부 전극 상에 절연막 패턴이 형성되어 있다. 상기 절연막 패턴 상에 상기 MIM 커패시터의 상기 상부 전극 상에 제1 비아홀을 갖는 제1 층간 절연막이 형성되어 있다. 상기

제1 비아홀 내에 랜딩 패드형 독립 배선층이 형성되어 있다. 상기 MIM 커패시터 상부의 상기 랜딩 패드형 독립 배선층을 노출하는 제2 비아홀을 갖는 제2 층간 절연막이 형성되어 있다. 상기 제2 비아홀 내에 상기 랜딩 패드형 독립 배선층을 통하여 상기 MIM 커패시터의 상기 상부 전극과 연결되는 배선층이 형성되어 있다.

<23> 상기 상부 전극은 상기 하부 전극을 완전히 감싸는 형태로 형성될 수 있다. 상기 랜딩 패드형 독립 배선층은 서로 독립된 복수개의 배선으로 형성될 수 있다.

<24> 또한, 본 발명의 또 다른 예에 의한 반도체 소자는 반도체 기판 상에 형성되고 상기 반도체 기판 상에 형성된 불순물 영역과 접촉하는 MIM 커패시터의 하부 전극을 포함한다. 상기 하부 전극을 포함한 상기 반도체 기판 상에 형성되고 서로 다른 두께를 가지는 영역을 포함하는 유전체막을 구비한다. 상기 MIM 커패시터의 하부 전극 상에 상기 유전체막의 두꺼운 부분을 개재하여 상기 MIM 커패시터의 하부 전극을 완전히 감싸는 형태로 MIM 커패시터의 상부 전극이 형성되어 있다. 상기 MIM 커패시터의 상부 전극 상에만 한정적으로 절연막 패턴이 형성되어 있다. 상기 절연막 패턴 상에 상기 MIM 커패시터의 상기 상부 전극 상에 다수개의 제1 비아홀을 갖는 제1 층간 절연막이 형성되어 있다. 상기 제1 비아홀 내에 다수개의 랜딩 패드형 독립 배선층이 형성되어 있다. 상기 MIM 커패시터 상부의 상기 다수개의 랜딩 패드형 독립 배선층을 노출하는 다수개의 제2 비아홀을 갖는 제2 층간 절연막이 형성되어 있다. 상기 다수개의 제2 비아홀 내에 상기 다수개의 랜딩 패드형 독립 배선층을 통하여 상기 MIM 커패시터의 상기 상부 전극과 연결되는 배선층이 형성되어 있다.

<25> 이상과 같은 본 발명은 반도체 소자는 상기 제1 층간 절연막과 제2 층간 절연막으로 형성된 두꺼운 절연막이 MIM 커패시터의 하부 전극과 상부 전극에 연결된 배선층 사이에 존재하게 되므로 안정적인 커패시턴스를 얻을 수 있다.

<26> 이하, 첨부도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 "위(상)"에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.

<27> 도 3은 본 발명에 의해 형성된 MIM 커패시터를 갖는 반도체 소자를 설명하기 위하여 도시한 단면도이다.

<28> 구체적으로, 반도체 기판(101), 예컨대 실리콘 기판 상에 트랜치 분리 영역(103)과 액티브 영역(105)이 형성되어 있다. 상기 액티브 영역(105) 상에는 게이트 절연막(107) 개재하여 형성된 게이트(109), 소오스(111) 및 드레인(113)을 포함하는 트랜지스터가 형성되어 있다. 상기 소오스(111) 및 드레인(113)은 반도체 기판(101)에 불순물을 주입하여 형성된 불순물 영역이다. 상기 트랜지스터 상에는 제1 절연막(115)에 형성된 콘택홀(117)을 통하여 상기 액티브 영역(105)의 드레인(113)과 접촉하는 도전체 패턴(119)이 형성되어 있다.

<29> 상기 도전체 패턴(119) 상에는 제1 비아홀(121) 및 제1 트랜치(122)를 가지는 제2 절연막(123)과 제3 절연막(125)이 형성되어 있다. 상기 제2 절연막(123)과 제3 절연막(125) 내에는 상기 제1 트랜치(122), 제1 비아홀(121) 및 콘택홀(117)을 통하여 상기 액티브 영역(105)의 드레인(113)과 접촉하는 MIM 커패시터의 하부 전극(127) 및 제1 배선층(129)이 형성되어 있다. 상기 MIM 커패시터의 하부 전극(127) 상에는 유전체막(131), MIM 커패시터의 상부 전극(133)이 형성되어 있다.

<30> 상기 상부 전극(133) 상에는 제4 절연막 패턴(135), 제5 절연막(137) 및 제6 절연막(139)으로 구성되는 제1 층간 절연막(141)이 형성되어 있다. 상기 제1 층간 절연막(141)의 총 두께는 $0.01\mu\text{m} \sim 2.0\mu\text{m}$, 바람직하게는 $0.1\mu\text{m} \sim 0.8\mu\text{m}$ 로 형성한다. 상기 제4 절연막 패턴(135), 제5 절연막(137) 및 제6 절연막(139)은 하나의 절연막으로 구성하는 것도 가능하다. 이하에서는 상기 제1 층간 절연막(141)을 제4 절연막 패턴(135), 제5 절연막(137) 및 제6 절연막(139)으로 구성되는 것으로 설명되고 있으나, 상기 제1 층간 절연막(141)을 제5 절연막(137) 및 제6 절연막(139)으로 구성되는 것으로 설명해도 무방하다.

<31> 상기 MIM 커패시터 및 제1 배선층(129) 상의 제1 층간 절연막(141) 내에는 상기 MIM 커패시터의 상부 전극(133) 및 제1 배선층(129)을 노출하는 제2 비아홀(143) 및 제2 트랜치(144)와, 상기 제2 트랜치(144) 및 제2 비아홀(143)을 각각 채우는 랜딩 패드형 독립 배선층(145) 및 제2 배선층(149)이 형성되어 있다.

<32> 상기 MIM 커패시터 상의 제2 트랜치(144) 및 제2 비아홀(143)은 복수개로 구성하는 것이 바람직하다. 상기 랜딩 패드형 독립 배선층(145)은 제1 층간 절연막(141) 내로 매몰된 형태로 구성되어 있다. 상기 랜딩 패드형 독립 배선층(145)의 폭은 MIM 커패시터

하부전극(127)의 폭 이하, 예컨대 $200\mu\text{m}$ 이하로 구성할 수 있다. 상기 랜딩 패드용 독립 배선층(145)의 상부 폭은 하부 폭보다 더 크게 구성할 수 있다. 상기 랜딩 패드용 독립 배선층(145)은 서로 독립된 복수개의 배선으로 구성될 수 있다.

<33> 상기 랜딩 패드형 독립 배선층(145), 제2 배선층(149) 및 제1 층간 절연막(141) 상에는 제7 절연막(151)과 제8 절연막(153)으로 구성된 제2 층간 절연막(155)이 형성되어 있다. 상기 제2 층간 절연막의 총 두께는 $0.01\mu\text{m} \sim 2\mu\text{m}$, 바람직하게는 $0.1\mu\text{m} \sim 0.8\mu\text{m}$ 로 형성한다. 상기 제7 절연막(151) 및 제8 절연막(153)은 동일한 막 혹은 복합막으로 구성할 수 있다.

<34> 상기 제2 층간 절연막(155)에는 상기 랜딩 패드형 독립 배선층(145) 및 제2 배선층(149)을 노출하는 제3 비아홀(157)과 제3 배선층(161) 형성을 위한 제3 트랜치(trench, 159)가 형성되어 있다. 상기 제3 비아홀(157)은 복수개로 구성하는 것이 바람직하다. 제2 층간 절연막(155)에 형성된 제3 비아홀(157)과 제3 트랜치(trench, 159)에는 MIM 커패시터의 상부 전극(133)에 전원을 공급하는 제3 배선층(161)이 형성되어 있다.

<35> 본 발명의 반도체 소자에 있어서, 상기 MIM 커패시터의 상부에 형성된 랜딩 패드형 독립 배선층(145)은 상기 MIM 커패시터의 상부 전극(133)과 제3 배선층(161)의 연결을 위한 콘택 플러그로써 사용된다. 더하여, 본 발명의 반도체 소자에 있어서, 상기 제1 층간 절연막(141)과 제2 층간 절연막(155)으로 형성된 두꺼운 절연막이 MIM 커패시터의 하부 전극(131)과 제3 배선층(161) 사이에 존재하게 되므로 안정적인 커패시턴스를 얻는 것이 가능하다.

<36> 도 4 내지 도 10은 도 3에 도시한 본 발명의 MIM 커패시터를 갖는 반도체 소자의 제조방법을 설명하기 위하여 도시한 단면도들이다.

<37> 도 4를 참조하면, 반도체 기판(101), 예컨대 실리콘 기판 상에 트랜치 분리 영역(103)을 STI(Shallow Trench Isolation) 방법으로 형성한 후, 상기 반도체 기판(101) 상에 게이트 절연막(107)을 형성한다. 상기 게이트 절연막(15)의 상부에 게이트(109)를 형성한다. 상기 게이트(109)는 폴리사이드막, 즉 폴리실리콘막 상에 실리사이드층을 갖는 복합막으로 형성한다. 상기 게이트(109)의 양측벽에 소오스(111) 및 드레인(113)을 이온 주입법으로 형성한다.

<38> 상기 게이트(109), 소오스(111) 및 드레인(113)이 형성된 반도체 기판(101) 상에 제1 절연막(115)을 형성한다. 상기 제1 절연막(115)은 플라즈마 인핸스트 산화막(plasma enhanced(PE)-Oxide), 고밀도 플라즈마 산화막(High Density Plasma(HDP) Oxide), 플라즈마 인핸스트 테오스 산화막(PE-TEOS oxide), 고온 산화막(High Temperature Oxide(HTO)), 비피에스지막(BPSG layer) 또는 유동 산화막(Flowable oxide(FOX)) 등의 단일막 혹은 복합막으로 형성한다. 상기 제1 절연막(115)은 $0.01\mu\text{m} \sim 2\mu\text{m}$, 바람직하게는 $0.4\mu\text{m} \sim 1.0\mu\text{m}$ 의 두께로 형성한다. 상기 제1 절연막(115)에 사진 식각공정을 통하여 콘택홀(117)을 형성한다. 계속하여, 상기 콘택홀(117)이 형성된 반도체 기판(101) 전면에 도전체막을 형성한 후 통상의 사진 및 식각 방법에 의해 상기 콘택홀(117)을 통하여 상기 드레인(113)과 접하는 도전체 패턴(119)을 형성한다.

<39> 상기 도전체 패턴(119)이 형성된 반도체 기판(101) 전면에 제2 절연막(123) 및 제3 절연막(125)을 순차적으로 형성한다. 상기 제2 절연막(123) 및 제3 절연막(125)은 산화막 혹은 다른 절연막, 예컨대 FSG(Fluorine-Doped Silicate Glass)막, OSG(Organic Silicate Glass)막, 혹은 다른 유기 유연 절연막으로 형성된다.

Silicate Glass)막 또는 무기 폴리머(Inorganic Polymer)막을 이용하여 형성한다. 상기 제2 절연막(123) 및 제3 절연막(125)은 CVD법, PVD법, ALD법 또는 스판 코팅(Spin Coating)법을 이용하여 형성한다. 상기 제2 절연막(123) 및 제3 절연막(125)은 $0.01\mu\text{m}$ ~ $2\mu\text{m}$ 의 두께, 바람직하게는 $0.3\mu\text{m}$ ~ $0.8\mu\text{m}$ 의 두께로 형성한다.

<40> 다음에, 이중 다마신(Dual Damascene) 방법을 이용하여 상기 제2 절연막(123) 및 제3 절연막(125) 내의 제1 비아홀(121) 및 제1 트랜치(122)에 MIM 커패시터의 하부전극(127) 및 제1 배선층(129)을 동시에 형성한다. 상기 이중 다마신 방법은 비아 퍼스트 이중 다마신(Via first dual damascene) 방법과 트랜치 퍼스트 이중 다마신(Trench first dual damascene) 방법이 주로 사용된다.

<41> 상기 비아 퍼스트 이중 다마신 방법은 먼저 상기 제2 절연막(123) 및 제3 절연막(125)에 제1 비아홀(121)을 형성한 후 상기 제3 절연막(125)에 제1 트랜치(122)를 형성한다. 상기 트랜치 퍼스트 이중 다마신 방법은 먼저 제3 절연막(125) 내에 제1 트랜치(122)를 형성한 후, 상기 제2 절연막(123) 내에 제1 비아홀(121)을 형성한다. 이어서, 상기 제1 비아홀(121) 및 제1 트랜치(122)가 형성된 반도체 기판(101)의 전면에 상기 제1 배선층(129) 및 MIM 커패시터의 하부전극(127)으로 사용되는 도전막을 증착한다. 다음에, CMP 방법을 이용하여 상기 제1 비아홀(121) 및 제1 트랜치(122) 이외에 증착된 도전막을 제거하여 MIM 커패시터의 하부전극(127) 및 제1 배선층(129)을 동시에 형성한다.

<42> 상기 MIM 커패시터의 하부전극(127) 및 제1 배선층(129)을 형성하는 방법은 상술한 이중 다마신 방법이 아닌 통상의 방법, 예컨대 제1 비아홀(121) 형성, 상기 제1 비아홀(121)을 채우는 콘택 플러그 형성, 상기 제1 트랜치(122) 형성, 제1 배선층 및 하부 전극용 도전막 증착, 상기 도전막의 화학기계적연마 실시등을 통하여 형성할 수 있다.

<43> 상기 제2 절연막(123) 및 제3 절연막(125)은 동일한 막 혹은 복합막으로 형성할 수 있다. 상기 제2 절연막(123) 및 제3 절연막(125)은 다수개의 스텝 혹은 하나의 스텝으로 형성할 수 있다. 상기 제1 트랜치(122)는 상기 제3 절연막(125)에 형성할 수도 있고, 상기 제2 절연막(123)쪽으로 더 침투하여 형성할 수도 있다.

<44> 상기 MIM 커패시터의 하부 전극(127) 및 제1 배선층(129)으로 사용되는 도전막은 금속막, 예컨대 구리막, Al막, Ti막, Ta막, TiN막, TaN막, TaSiN막, TiSiN막, WN막 또는 WSiN막을 이용하여 형성할 수 있다. 상기 MIM 커패시터의 하부 전극(127) 및 제1 배선층(129)으로 사용되는 도전막은 CVD법, PVD법 또는 전기도금법(Electroplating)으로 형성할 수 있다. 상기 MIM 커패시터의 하부 전극(127) 및 제1 배선층(129)으로 사용되는 도전막은 $0.001\mu\text{m} \sim 2\mu\text{m}$ 의 두께, 바람직하게는 $0.05\mu\text{m} \sim 0.8\mu\text{m}$ 의 두께로 형성한다.

<45> 상기 하부 전극(127)이 형성된 반도체 기판(101) 상에 MIM 커패시터의 유전체막 패턴(131)과 상부 전극(133) 및 제4 절연막 패턴(135)을 순차적으로 형성한다. 구체적으로, 상기 하부 전극(127), 제3 절연막(125), 제1 배선층(129) 상에 MIM 커패시터의 유전체막, 상부 전극용 도전막, 제4 절연막을 순차적으로 형성한 후 사진/식각공정을 이용하여 패터닝하여 유전체막 패턴(131), 도전막 패턴인 MIM 커패시터의 상부 전극(133) 및 제4 절연막 패턴(135)을 형성한다. 상기 패터닝시 하부전극(127) 상에 상기 유전체막 패턴(131)이 $0.001\mu\text{m} \sim 1\mu\text{m}$ 의 두께, 바람직하게는 $0.01\mu\text{m} \sim 0.1\mu\text{m}$ 의 두께로 남아 있도록 하는 것이 하부전극(127)으로 사용되는 물질의 외향 확산(Out Diffusion)으로 인한 영향을 최소화할 수 있으므로 유리하다. 결과적으로, 반도체 기판(101) 상부에 형성된 하부 전극(127), 유전체막 패턴(131) 및 상부 전극(133)으로 형성된 MIM 커패시터가 완성된다. 이때 상기 상부전극(133)은 상기 하부 전극(127)을 완전히 감싸는 형태로 형

성하는 것이 바람직하다. 다시 말해, 상기 상부 전극(133)은 평면적으로 상기 하부 전극(127) 보다 크게(넓게) 형성되어 상기 하부 전극(127)을 완전히 감싸는 형태로 형성하는 것이 바람직하다.

<46> 상기 유전체막 패턴(131)은 질화막, 산화막, SiC막, SION막, SiCN막, SiOF막, SiOH막, HfO₂막, ZrO₂막 또는 Al₂O₃막으로 형성한다. 상기 유전체막 패턴(131)은 CVD법, PVD법 또는 ALD법을 이용하여 형성한다. 상기 유전체막 패턴(131)은 0.001μm ~ 1μm, 바람직하게는 0.01μm ~ 0.5μm의 두께로 형성한다. 상기 상부 전극(133)은 도전막으로 형성한다. 상기 상부 전극용 도전막은 구리막, TaN막, Al막, Ti막, Ta막, TiN막, TaSiN막, TiSiN막, WN막 또는 WSiN막을 이용하여 형성한다. 상기 상부 전극용 도전막은 CVD법, PVD법, 전기도금법(Electroplating)을 이용하여 형성한다. 상기 상부 전극용 도전막은 0.001μm ~ 2μm의 두께, 바람직하게는 0.05μm ~ 0.8μm의 두께로 형성한다.

<47> 상기 제4 절연막 패턴(135)은 산화막, 질화막, FSG(Fluorine-Doped Silicate Glass)막, OSG(Organo Silicate Glass)막 및 SiC막중의 어느 하나의 막 또는 이들의 복합막을 이용하여 형성한다. 상기 제4 절연막 패턴(135)은 CVD법, PVD법 또는 ALD법을 이용하여 형성한다. 상기 제4 절연막 패턴(135)은 0.001μm ~ 1μm의 두께, 바람직하게는 0.01μm ~ 0.5μm의 두께로 형성한다. 상기 제4 절연막 패턴(135)은 후에 콘택을 형성하기 위한 식각 공정에서 발생되는 폴리머를 억제할 수 있는 효과가 있다.

<48> 다음에, 상기 MIM 커패시터가 형성된 반도체 기판(101)의 전면에 제5 절연막(137)과 제6 절연막(139)을 형성한다. 이에 따라, 상기 MIM 커패시터의 상부 전극(133) 및 제1 배선층(129) 상에 상기 제4 절연막 패턴(135), 제5 절연막(137) 및 제5 절연막(139)으로 구성된 제1 층간 절연막(141)이 형성된다. 상기 제5 절연막(137)과 제6 절연막(139)

은 산화막, SiC막, SION막, SiCN막, SiOF막, SiOH막, HfO₂막, ZrO₂막 또는 Al₂O₃막을 이용하여 형성한다. 상기 제5 절연막(137)과 제6 절연막(139)은 CVD법, PVD법 또는 ALD법을 이용하여 형성한다. 상기 제5 절연막(137)과 제6 절연막(139)은 0.1μm ~ 2μm의 두께, 바람직하게는 0.3μm ~ 0.8 μm의 두께로 형성한다. 상기 제5 절연막(137)과 제6 절연막(139)은 동일한 막 혹은 복합막으로 형성하는 것이 가능하며, 다수개의 스텝 혹은 하나의 스텝으로 형성하는 것이 가능하다.

<49> 도 5 내지 도 7을 참조하면, 앞서 설명한 바와 동일한 이중 다마신 방법을 이용하여 제2 비아홀(143), 제2 트랜치(144), 랜딩 패드형 독립 배선층(145) 및 제2 배선층(149)을 형성한다.

<50> 상기 제2 비아홀(143), 제2 트랜치(144), 랜딩 패드형 독립 배선층(145) 및 제2 배선층(149)을 형성하는 방법은 이중 다마신 방법이 아닌 통상의 방법, 예를 들면 제5 절연막 형성(137), 제2 비아홀(143) 형성, 제2 비아홀(143)을 채우는 콘택 플러그 형성, 제6 절연막(139) 형성, 제2 트랜치(144) 형성, 제2 배선층 및 랜딩 패드형 독립 배선층 용 금속막 증착, 상기 금속막의 화학기계적연마(CMP) 실시에 의하여 형성할 수 있다.

<51> 보다 상세하게, 도 5 내지 도 7은 편의상 이중 다마신 방법중 비아 퍼스트 이중 다마신 방법에 의해 제2 비아홀(143), 제2 트랜치(144), 랜딩 패드형 독립 배선층(145) 및 제2 배선층(149)을 형성하는 방법을 설명한다. 물론 트랜치 퍼스트 이중 다마신 방법에 의해 제2 비아홀(143), 제2 트랜치(144), 랜딩 패드형 독립 배선층(145) 및 제2 배선층(149)을 형성하는 것도 가능하다.

<52> 도 5를 참조하면, 사진식각공정을 이용하여 상기 제1 층간절연막인 제6 절연막(139), 제5 절연막(137) 및 제4 절연막 패턴(135)을 패터닝하여 제2 비아홀(143)을 형성

한다. 상기 제2 비아홀(143)은 MIM 커패시터의 상부 전극(133)과 제1 배선층(129)을 노출시킨다.

<53> 도 6을 참조하면, 사진식각공정을 이용하여 상기 MIM 커패시터 상에 형성된 제1 층간절연막의 일부, 예컨대 제6 절연막(139)을 선택적으로 식각하여 제2 배선층(149) 및 랜딩 패드형 독립 배선층(145)이 형성될 제2 트랜치(144)를 형성한다. 상기 랜딩 패드형 독립 배선층(145)이 형성될 제2 트랜치(144)는 상기 MIM 커패시터 상의 제1 층간절연막, 예컨대 제6 절연막(139) 내에 형성되면서 제2 비아홀(143)보다 직경이 더 크게 형성한다.

<54> 도 7을 참조하면, 상기 제2 비아홀(143) 및 제2 트랜치(trench)(144) 내에 매립된 랜딩 패드형 독립 배선층(145)과 제2 배선층(149)을 형성한다. 상기 랜딩 패드형 독립 배선층(145)은 제4 절연막 패턴(135), 제5 절연막(137) 및 제6 절연막(139)으로 구성된 제1 층간 절연막(141) 내에 형성된 제2 비아홀(143) 및 제2 트랜치(144)에 형성된다.

<55> 상기 랜딩 패드형 독립 배선층(145)은 제2 비아홀(143) 및 제2 트랜치(144)를 매립하도록 반도체 기판(101) 전면에 도전막을 형성한 후 화학기계적연마법으로 평탄화하여 형성한다. 이에 따라, 상기 랜딩 패드형 독립 배선층(145)과 제2 배선층(149)의 표면은 상기 제1 층간 절연막(141)을 구성하는 제6 절연막(139)의 표면과 같은 높이로 형성된다. 상기 랜딩 패드형 독립 배선층(145)의 폭은 MIM 커패시터 하부전극(127)의 폭 이하, 예컨대 $200\mu\text{m}$ 이하로 형성하는 것이 바람직하다. 상기 랜딩 패드용 독립 배선층(145)의 상부 폭은 하부 폭보다 더 크게 형성될 수 있다. 상기 MIM 커패시터의 하부전극(127)의 상부에는 제2 배선층(149)이 형성되지 않도록 하는 것이 바람직하다. 상기 랜딩 패드형 독립 배선층(145)은 독립된 복수개의 배선층으로 형성하는 것이 바람직하다.

<56> 상기 랜딩 패드형 독립 배선층(145)과 제2 배선층(149)은 상기 랜딩 패드형 독립 배선층(145) 및 제2 배선층(149)은 금속막, 예컨대 구리막, Al막, Ti막, Ta막, TiN막, TaN막, TaSiN막, TiSiN막, WN막 또는 WSiN막을 이용하여 형성한다. 상기 랜딩 패드형 독립 배선층(145) 및 제2 배선층(149)은 CVD법, PVD법, 전기도금법(Electroplating)을 이용하여 형성한다. 상기 랜딩 패드형 독립 배선층(145) 및 제2 배선층(149)은 $0.1\mu\text{m}$ ~ $2\mu\text{m}$ 의 두께, 바람직하게는 $0.05\mu\text{m}$ ~ $0.8\mu\text{m}$ 의 두께로 형성한다.

<57> 도 8을 참조하면, 상기 MIM 커패시터가 형성된 반도체 기판(101)의 전면에 제2 층 간 절연막(155)으로 사용되는 제7 절연막(151) 및 제8 절연막(153)을 형성한다. 즉, 상기 랜딩 패드형 독립 배선층(145) 및 제1 층간절연막(141) 상에 제2 층간 절연막(155)으로써 제7 절연막(151) 및 제8 절연막(153)을 형성한다. 상기 제2 층간 절연막(155)은 단일 공정 혹은 복수개의 공정을 통하여 형성하는 것이 가능하며, 막의 종류도 후술하는 막중에서 단일막 및 복합막 중 어느 것을 사용하여도 무방하다.

<58> 상기 제7 절연막(151) 및 제8 절연막(153)은 산화막 혹은 다른 절연막, 예컨대 SiC막, SION막, SiCN막, SiOF막, SiOH막, HfO₂막, ZrO₂막, Al₂O₃막을 이용하여 형성한다. 상기 제7 절연막(151) 및 제8 절연막(153)은 CVD, PVD, ALD방법을 이용하여 형성한다. 상기 제7 절연막(151) 및 제8 절연막(153)은 $0.001\mu\text{m}$ ~ $1\mu\text{m}$ 의 두께, 바람직하게는 $0.01\mu\text{m}$ ~ $0.1\mu\text{m}$ 의 두께로 형성한다.

<59> 또는, 상기 제7 절연막(151) 및 제8 절연막(153)은 산화막 혹은 다른 절연막, 예컨대 FSG(Fluorine-Doped Silicate Glass)막, OSG(Organo Silicate Glass)막, 무기 폴리머(Inorganic Polymer)막을 이용하여 형성한다. 상기 제7 절연막(151) 및 제8 절연

막(153)은 CVD, 스픬 코팅(Spin Coating)법으로 형성한다. 상기 제7 절연막(151) 및 제8 절연막(153)은 $0.01\mu\text{m}$ ~ $2\mu\text{m}$ 의 두께, 바람직하게는 $0.1\mu\text{m}$ ~ $0.8\mu\text{m}$ 로 형성한다.

<60> 다음에, 앞서 설명한 것과 같은 이중 다마신 방법을 통하여 제3 비아홀(157), 제3 트랜치(153) 및 제3 배선층(도 3의 161)을 형성한다. 상기 제3 비아홀(157), 제3 트랜치(153) 및 제3 배선층(도 3의 161)을 형성하는 방법은 상기 이중 다마신 방법이 아닌 통상의 방법, 예를 들면 제7 절연막(151) 형성, 제3 비아홀(157) 형성, 제3 비아홀(157)을 채우는 콘택 플러그 형성, 제8 절연막(153) 형성, 제3 트랜치(159) 형성, 제3 배선층 형성용 금속막 증착, 상기 금속막의 화학기계적연마실시에 의하여 형성하는 것도 가능하다.

<61> 보다 상세하게, 도 9 및 도 10은 편의상 이중 다마신 방법중 비아 퍼스트 이중 다마신 방법에 의해 제3 비아홀(157), 제3 트랜치(159), 및 제3 배선층(161)을 형성하는 방법을 설명한다. 물론 트랜치 퍼스트 이중 다마신 방법에 의해 제3 비아홀(157), 제3 트랜치(159), 제3 배선층(161)을 형성하는 것도 가능하다.

<62> 도 9를 참조하면, 사진식각공정을 이용하여 상기 제2 층간절연막(155)인 제7 절연막(151) 및 제8 절연막(153)을 패터닝하여 제3 비아홀(157)을 형성한다. 상기 제3 비아홀(157)은 상기 랜딩 패드형 독립 배선층(145)과 제2 배선층(149)을 노출시킨다.

<63> 도 10을 참조하면, 사진식각공정을 이용하여 상기 제2 층간절연막(155)의 일부, 예컨대 제8 절연막(153)을 선택적으로 식각하여 제3 배선층(161)이 형성될 제3 트랜치(159)를 형성한다. 상기 제3 배선층(161)이 형성될 제3 트랜치(159)는 상기 제2 층간절연막(155), 예컨대 제8 절연막(153) 내에 형성되면서 제3 비아홀(157)보다 직경이 더 크게 형성한다.

<64> 다음에, 도 3에 도시한 바와 같이 상기 제3 비아홀(157) 및 제3 트랜치(159) 내에 매립된 제3 배선층(161)을 형성한다. 즉, 상기 제3 배선층(161)은 제7 절연막(151) 및 제8 절연막(153)으로 구성된 제2 층간 절연막(155) 내에 형성된 제3 비아홀(157) 및 제3 트랜치(159)에 형성된다. 상기 제3 배선층(161)은 제3 비아홀(157) 및 제3 트랜치(159)를 매립하도록 반도체 기판(101) 전면에 도전막을 형성한 후 화학기계적연마법으로 평탄화하여 형성한다. 이에 따라, 상기 제3 배선층(161)의 표면은 상기 제2 층간 절연막(155)을 구성하는 제8 절연막(153)의 표면과 같은 높이로 형성된다. 상기 제3 배선층(161)이 랜딩 패드형 독립 배선층(145)과 접촉하는 제3 비아홀(157)은 복수개의 배선층으로 구성하는 것이 바람직하다. 상기 제3 배선층(161)은 금속막, 예컨대 구리막, Al막, Ti막, Ta막, TiN막, TaN막, TaSiN막, TiSiN막, WN막 또는 WSiN막을 이용하여 형성한다. 제3 배선층(161)은 $0.01\mu\text{m}$ ~ $2\mu\text{m}$ 의 두께, 바람직하게는 $0.1\mu\text{m}$ ~ $0.8\mu\text{m}$ 의 두께로 형성한다.

<65> 본 발명의 실시예에서는 이중 다마신 방법을 이용한 배선층 형성에 관하여 설명을 하고 있으나 배선층의 형성 방법은 이에 한정되지 않고 일반적인 사진 및 식각 공정을 통해 형성하여도 무방하다. 또한 본 발명의 실시예에서는 제2 비아홀과 제3 비아홀을 별도의 공정으로 형성하는 것으로 되어 있으나 필요에 따라서는 제2 비아홀의 형성 공정을 생략하고, 제3 비아홀을 형성 시 제1 층간 절연막 및 제2 층간 절연막을 동시에 식각하여 형성하는 것도 가능하다.

【발명의 효과】

<66> 상술한 바와 같이 본 발명은 MIM 커패시터의 상부 전극을 랜딩 패드형 독립 배선층을 통하여 상부의 배선층과 연결함으로써 기생 커패시터에 의한 MIM 커패시터의 특성의 왜곡을 방지하여 안정적인 특성을 가진 MIM 커패시터를 구비하는 반도체 소자를 얻을 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 형성되고 하부 전극, 유전체막 및 상부 전극으로 구성된 MIM 커패시터;

상기 MIM 커패시터의 상기 상부 전극 및 상기 하부 전극 상에 형성되고, 상기 MIM 커패시터의 상기 상부 전극 상에 제1 비아홀을 갖는 제1 충간 절연막;

상기 제1 비아홀 내에 형성된 랜딩 패드형 독립 배선층;

상기 MIM 커패시터 상부의 상기 랜딩 패드형 독립 배선층을 노출하는 제2 비아홀을 갖는 제2 충간 절연막; 및

상기 제2 비아홀 내에 형성되고 상기 랜딩 패드형 독립 배선층을 통하여 상기 MIM 커패시터의 상기 상부 전극과 연결되는 배선층을 포함하여 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 2】

제1항에 있어서, 상기 MIM 커패시터의 상기 하부 전극은 상기 반도체 기판 상에 형성된 드레인과 접촉된 것을 특징으로 하는 반도체 소자.

【청구항 3】

제1항에 있어서, 상기 상부 전극은 상기 하부 전극을 완전히 감싸는 형태로 형성된 것을 특징으로 하는 반도체 소자.

【청구항 4】

제1항에 있어서, 상기 상부 전극 하부에 형성된 상기 유전체막의 두께가 상기 상부 전극이 형성된 영역 이외에 형성된 상기 유전체막의 두께보다 두꺼운 것을 특징으로 하는 반도체 소자.

【청구항 5】

제4항에 있어서, 상기 상부 전극이 형성된 영역 이외에 형성된 상기 유전체막의 두께는 $0.01\mu\text{m} \sim 0.1\mu\text{m}$ 인 것을 특징으로 하는 반도체 소자.

【청구항 6】

제1항에 있어서, 상기 상부 전극 상에는 산화막, 질화막, FSG막, OSG막, 및 SiC막 중의 어느 하나의 막 또는 이들의 복합막으로 형성된 절연막 패턴이 형성되어 있는 것을 특징으로 하는 반도체 소자.

【청구항 7】

제6항에 있어서, 상기 절연막 패턴은 상기 상부 전극이 형성된 영역 이외의 부분에 형성되어 있지 않은 것을 특징으로 하는 반도체 소자.

【청구항 8】

제1항에 있어서, 상기 제1 충간 절연막은 상기 제1 비아홀보다 크고 상기 제1 비아홀보다 낮은 깊이로 형성된 트렌치를 추가로 가지는 것을 특징으로 하는 반도체 소자.

【청구항 9】

제1항에 있어서, 상기 제2 충간 절연막은 상기 제2 비아홀보다 크고 상기 제2 비아홀보다 낮은 깊이로 형성된 트렌치를 추가로 가지는 것을 특징으로 하는 반도체 소자.

【청구항 10】

제1항에 있어서, 상기 랜딩패드형 독립 배선층은 상기 제1 층간 절연막과 동일한 높이로 형성된 것을 특징으로 하는 반도체 소자.

【청구항 11】

제1항에 있어서, 상기 MIM 커패시터의 상부 전극과 연결되는 상기 배선층은 상기 제2 층간 절연막과 동일한 높이로 형성된 것을 특징으로 하는 반도체 소자.

【청구항 12】

제1항에 있어서, 상기 랜딩 패드형 독립 배선층은 서로 독립된 복수개의 배선으로 형성된 것을 특징으로 하는 반도체 소자.

【청구항 13】

제1항에 있어서, 상기 랜딩패드형 독립 배선층의 상부 폭이 하부 폭보다 더 큰 것을 특징으로 하는 반도체 소자.

【청구항 14】

반도체 기판 상에 형성되고 상기 반도체 기판 상에 형성된 불순물 영역과 접촉하는 MIM 커패시터의 하부 전극;

상기 하부 전극 상에 형성된 유전체막;

상기 유전체막 상에 형성된 MIM 커패시터의 상부 전극;

상기 MIM 커패시터의 상부 전극 상에 형성된 절연막 패턴;

상기 절연막 패턴 상에 형성되고 상기 MIM 커패시터의 상기 상부 전극 상에 제1 비아홀을 갖는 제1 층간 절연막;

상기 제1 비아홀 내에 형성된 랜딩 패드형 독립 배선층;

상기 MIM 커패시터 상부의 상기 랜딩 패드형 독립 배선층을 노출하는 제2 비아홀을 갖는 제2 충간 절연막; 및

상기 제2 비아홀 내에 형성되고 상기 랜딩 패드형 독립 배선층을 통하여 상기 MIM 커패시터의 상기 상부 전극과 연결되는 배선층을 포함하여 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 15】

제14항에 있어서, 상기 MIM 커패시터의 상부 전극 하부에 형성된 상기 유전체막의 두께가 상기 상부 전극이 형성된 영역 이외에 형성된 상기 유전체막의 두께보다 두꺼운 것을 특징으로 하는 반도체 소자.

【청구항 16】

제14항에 있어서, 상기 상부 전극은 상기 하부 전극을 완전히 감싸는 형태로 형성된 것을 특징으로 하는 반도체 소자.

【청구항 17】

제14항에 있어서, 상기 상부 전극이 형성된 영역 이외에 형성된 상기 유전체막의 두께는 $0.01\mu\text{m}$ ~ $0.1\mu\text{m}$ 인 것을 특징으로 하는 반도체 소자.

【청구항 18】

제14항에 있어서, 상기 상부 전극 상에는 산화막, 질화막, FSG막, OSG막, 및 SiC막 중의 어느 하나의 막 또는 이들의 복합막으로 형성된 절연막 패턴이 형성되어 있는 것을 특징으로 하는 반도체 소자.

【청구항 19】

제14항에 있어서, 상기 랜딩 패드형 독립 배선층은 서로 독립된 복수개의 배선으로 형성된 것을 특징으로 하는 반도체 소자.

【청구항 20】

반도체 기판 상에 형성되고 상기 반도체 기판 상에 형성된 불순물 영역과 접촉하는 MIM 커패시터의 하부 전극;

상기 하부 전극을 포함한 상기 반도체 기판 상에 형성되고 상기 하부 전극 상에 형성된 두께가 그 이외의 지역에 형성된 두께보다 두껍게 형성된 유전체막;

상기 유전체막이 두꺼운 영역에 형성된 MIM 커패시터의 상부 전극;

상기 MIM 커패시터의 상부 전극 상에 형성된 절연막 패턴;

상기 절연막 패턴 상에 형성되고 상기 MIM 커패시터의 상기 상부 전극 상에 제1 비아홀을 갖는 제1 층간 절연막;

상기 제1 비아홀 내에 형성된 랜딩 패드형 독립 배선층;

상기 MIM 커패시터 상부의 상기 랜딩 패드형 독립 배선층을 노출하는 제2 비아홀을 갖는 제2 층간 절연막; 및

상기 제2 비아홀 내에 형성되고 상기 랜딩 패드형 독립 배선층을 통하여 상기 MIM 커패시터의 상기 상부 전극과 연결되는 배선층을 포함하여 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 21】

제20항에 있어서, 상기 상부 전극은 상기 하부 전극을 완전히 감싸는 형태로 형성된 것을 특징으로 하는 반도체 소자.

【청구항 22】

제20항에 있어서, 상기 상부 전극이 형성된 영역 이외에 형성된 상기 유전체막의 두께는 $0.01\mu\text{m}$ ~ $0.1\mu\text{m}$ 인 것을 특징으로 하는 반도체 소자.

【청구항 23】

제20항에 있어서, 상기 랜딩 패드형 독립 배선층은 서로 독립된 복수개의 배선으로 형성된 것을 특징으로 하는 반도체 소자.

【청구항 24】

반도체 기판 상에 형성되고 상기 반도체 기판 상에 형성된 불순물 영역과 접촉하는 MIM 커패시터의 하부 전극;

상기 하부 전극을 포함한 상기 반도체 기판 상에 형성되고 서로 다른 두께를 가지는 영역을 포함하는 유전체막;

상기 MIM 커패시터의 하부 전극 상에 상기 유전체막의 두꺼운 부분을 개재하여 형성되고 상기 MIM 커패시터의 하부 전극을 완전히 감싸는 형태로 형성된 MIM 커패시터의 상부 전극;

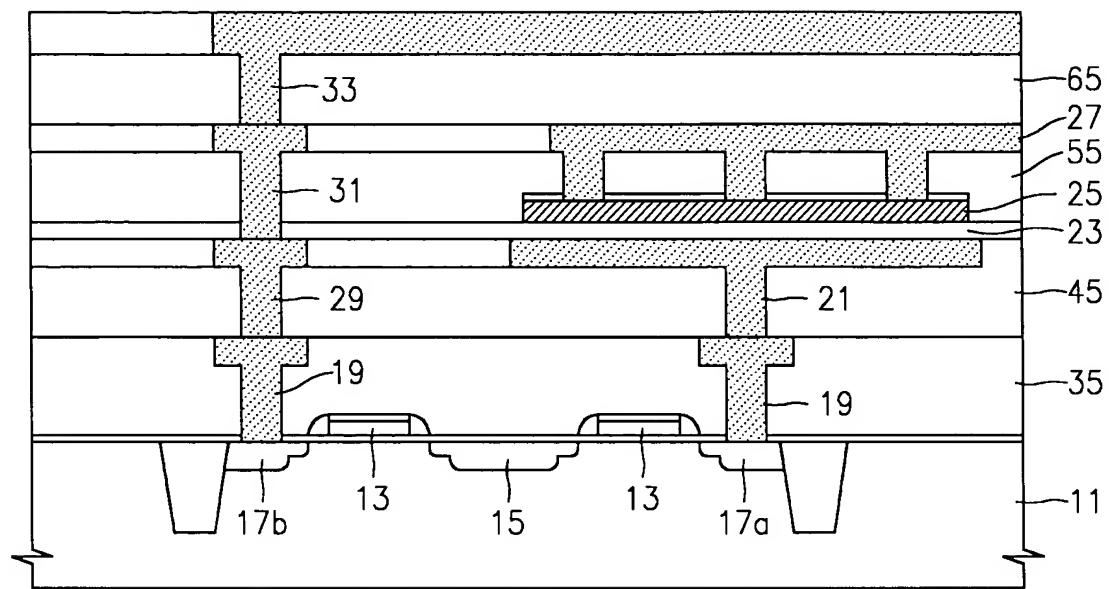
상기 MIM 커패시터의 상부 전극 상에만 한정적으로 형성된 절연막 패턴;

상기 절연막 패턴 상에 형성되고 상기 MIM 커패시터의 상기 상부 전극 상에 다수개의 제1 비아홀을 갖는 제1 충간 절연막;

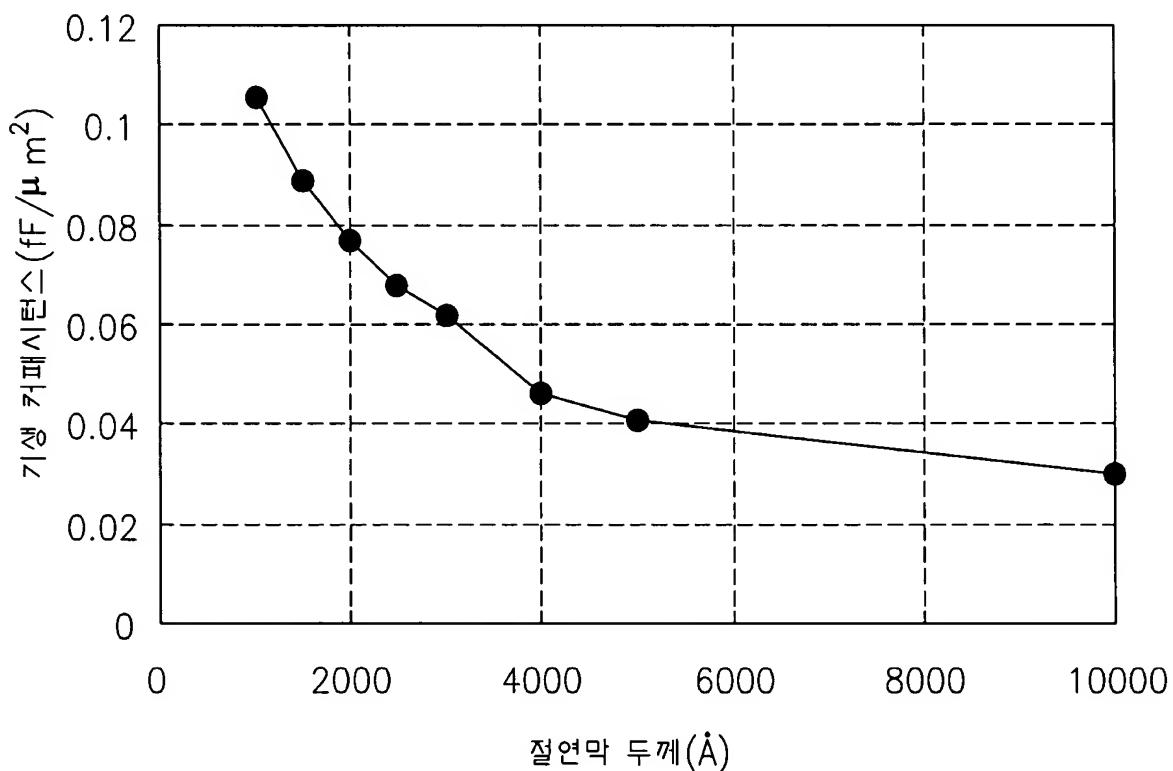
상기 제1 비아홀 내에 형성된 다수개의 랜딩 패드형 독립 배선층;
상기 MIM 커패시터 상부의 상기 다수개의 랜딩 패드형 독립 배선층을 노출하는 다
수개의 제2 비아홀을 갖는 제2 층간 절연막; 및
상기 다수개의 제2 비아홀 내에 형성되고 상기 다수개의 랜딩 패드형 독립 배선층
을 통하여 상기 MIM 커패시터의 상기 상부 전극과 연결되는 배선층을 포함하여 이루어지
는 것을 특징으로 하는 반도체 소자.

【도면】

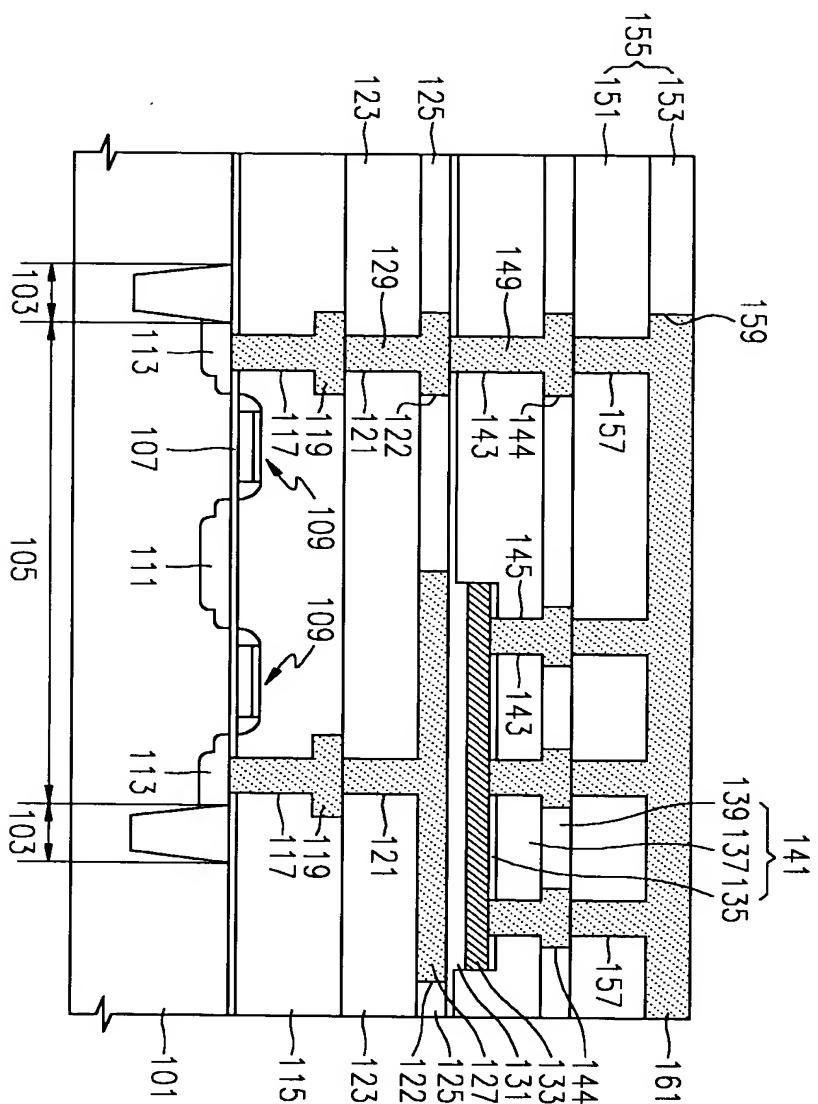
【도 1】



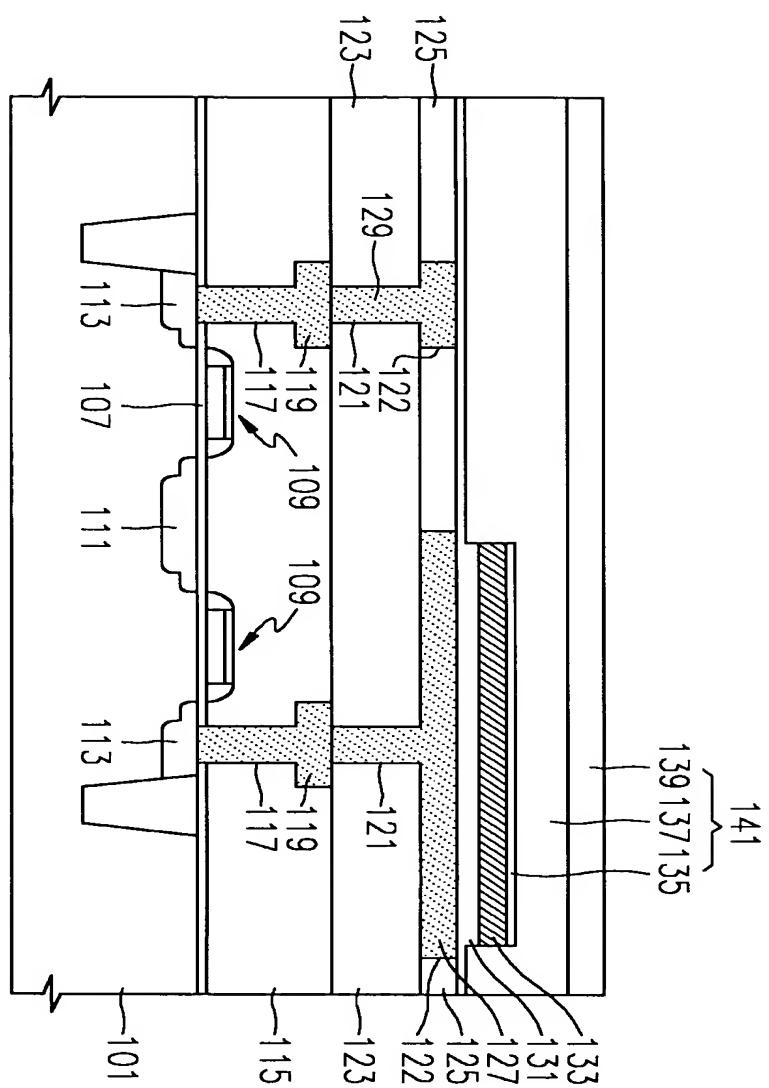
【도 2】



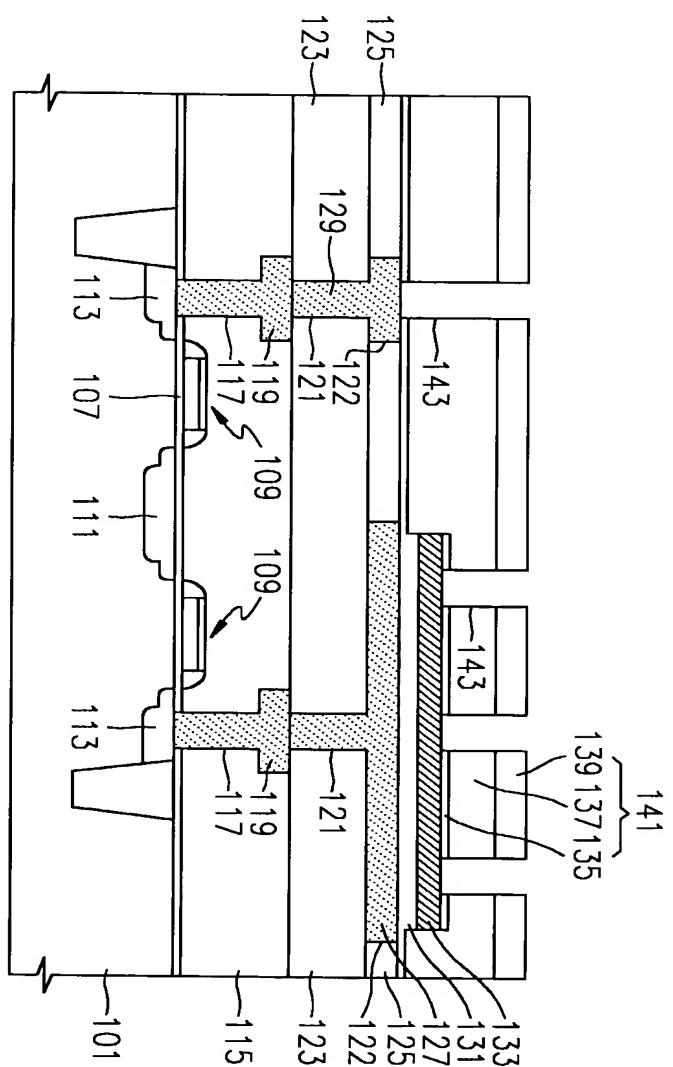
【도 3】



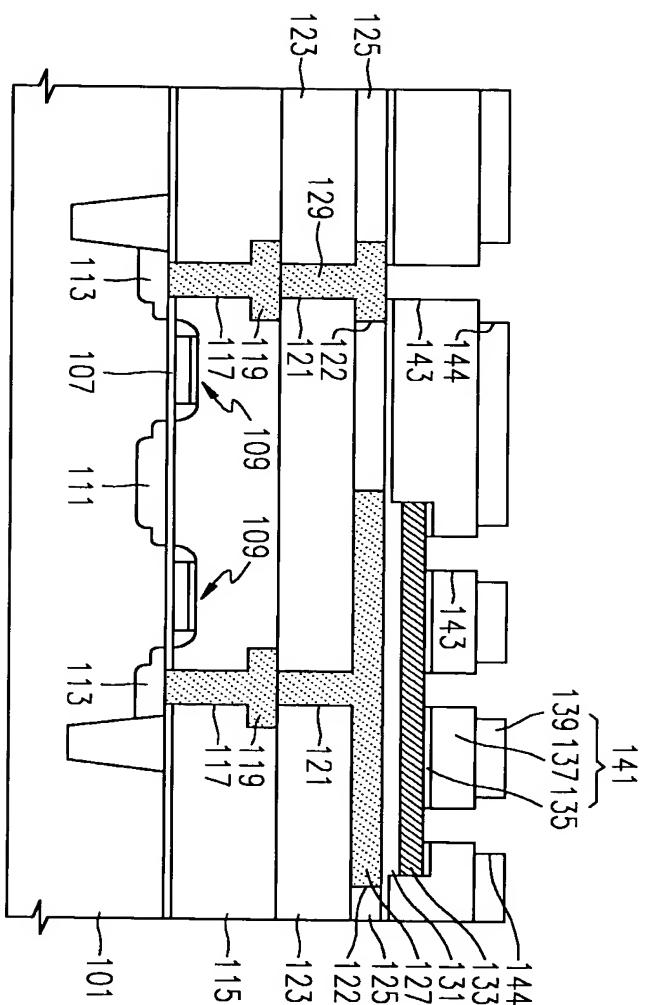
【도 4】



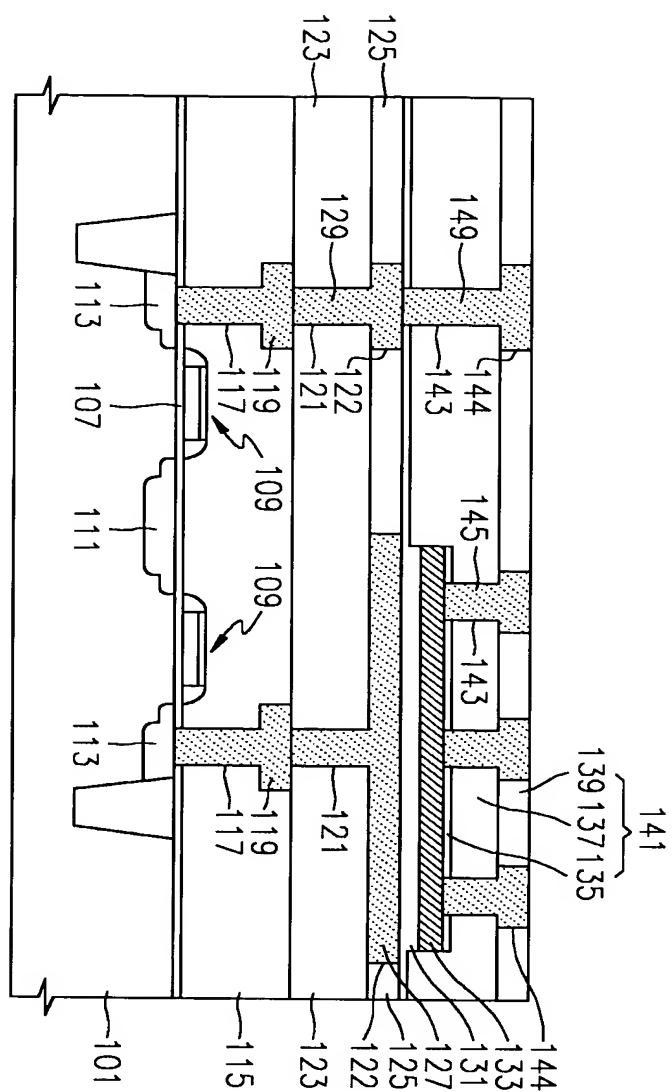
【도 5】



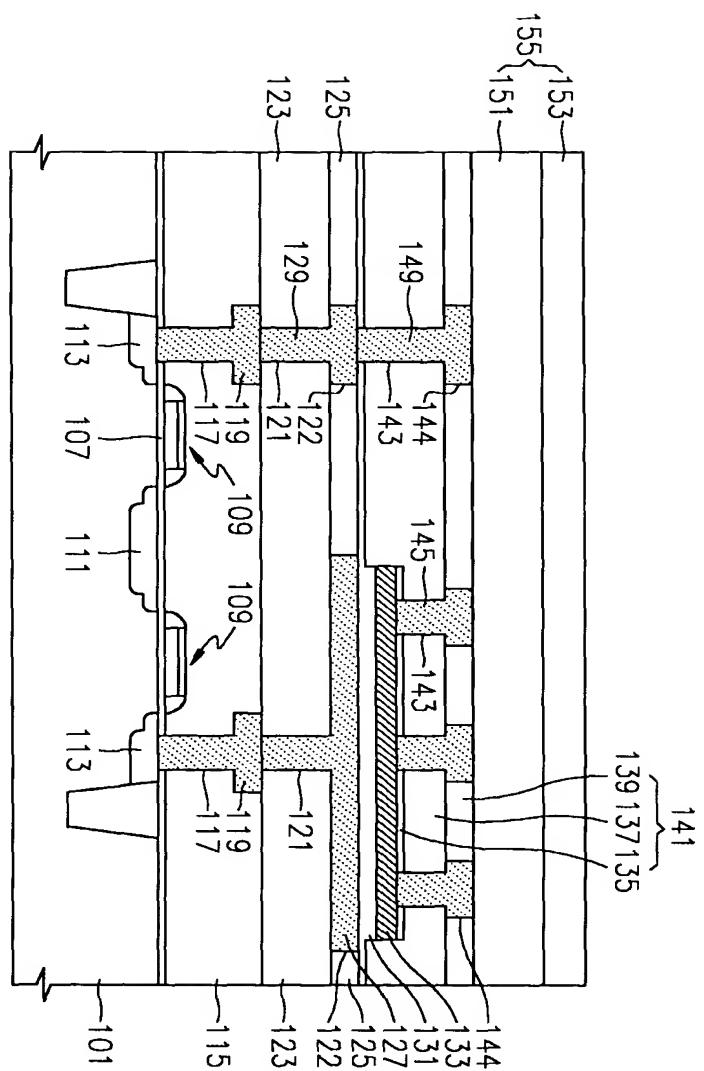
【도 6】



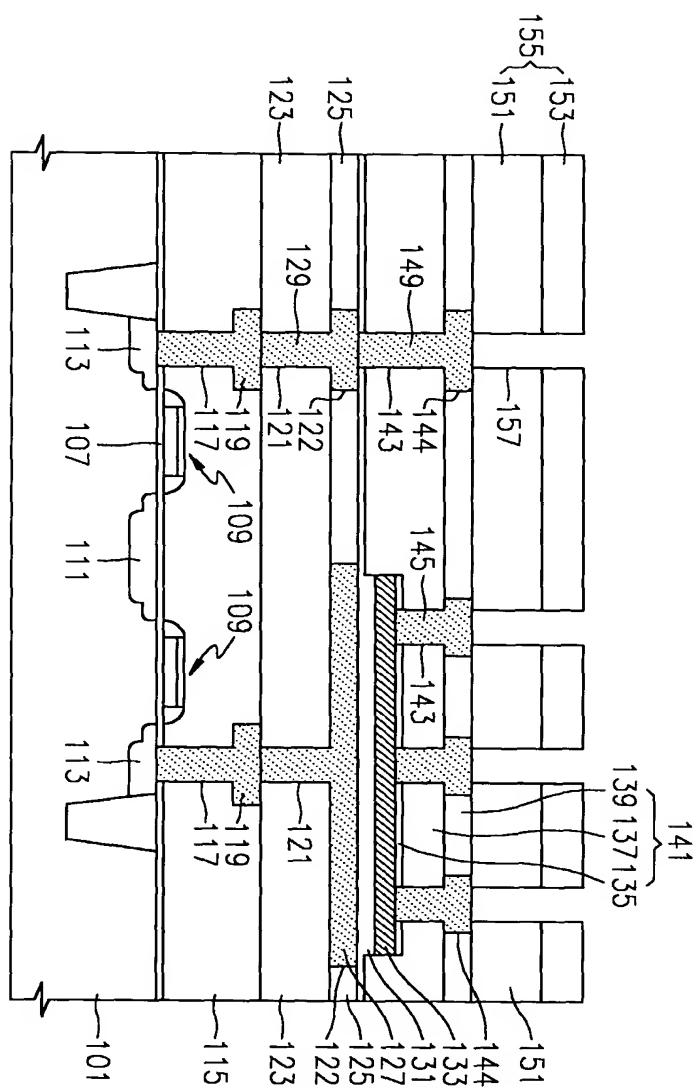
【도 7】



【도 8】



【도 9】



【도 10】

